



Bridge of Life  
Education

# 全端 IC 設計工程師養成計劃 Full Stack IC Designer Development

Launch Meeting 2/20/2023

Jiin Lai

# 專案目標

此共學專題將透過動手開發 IC 驗證系統，一起學習 IC 設計, FPGA 設計及嵌入式編程。

最後我們會將設計成果下線製作晶片，並用此驗證平台，做系統層級的驗證，以培養全端 (Full-Stack) IC 設計工程師



## 賴瑾 Jiin Lai

威盛電子共同創辦人，前技術長

**Jiin Lai** 是威盛電子的首席技術官。他在 **PC** 行業擁有超過 **30** 年的經驗，過去 **12** 年在存儲領域擁有豐富經驗。在他職業生涯的早期，他是一名開發 **EDA** 工具的軟件工程師。後來他與他人共同創立了威盛電子。他領導工程團隊開發了 **Intel** 和 **AMD** 兼容芯片組和 **x86** 兼容處理器。在過去的十年裡，他開發了 **SSD** 控制器，後來將他的重心轉移到開發分佈式計算存儲系統上。他的職責包括產品和架構開發，著眼於未來的計算架構需求。擁有超過 **50** 項美國專利。

從 **2020** 年開始，他開始在 **NTU**、**NTHU** 和 **NYCU** 教授“應用加速與高階合成”課程。他還創立了生命橋樑教育基金會，在學校推廣科技教育。

# 生命橋樑教育基金會

The screenshot shows the homepage of the Bridge of Life Education website. At the top left is the logo 'BoL edu Bridge of Life Education'. On the right, there are links for 'About', 'Contact', and a 'Log in' button. The main banner features the text 'Linking Industry with School Technology Education' over a background of colorful code. Below the banner are three white boxes with icons and text: 'Transforming Taiwan's Industry via BoLedu Solution Toolbox' (with a briefcase icon), 'Promoting Technology Education via Lab-Driven Courses' (with a flask icon), and 'Expanding Engineering Career via Workplace Soft Skills' (with a group of people icon). A 'Learn more' button is positioned below the banner text.

網址: <https://www.boledu.org/>

The screenshot shows the GitHub profile page for 'Bridge of Life Education'. The profile header includes the 'BoL edu' logo, the name 'Bridge of Life Education', and the subtitle '財團法人新北市生命橋樑教育基金會'. It also shows '16 followers', 'Taiwan', and the website URL 'https://www.boledu.org/'. Below the header are navigation tabs for 'Overview', 'Repositories (21)', 'Projects', 'Packages', and 'People (2)'. The 'Pinned' section displays five repositories: 'HLS-Discussions' (Public, 3 stars), 'course-lab\_1' (Public, Tcl, 1 star, 3 forks), 'course-lab\_2' (Public, Board: PYNQ-Z2/KV260, Vitis version: 2022.1, Tcl, 1 star, 2 forks), 'course-lab\_3' (Public, Board: AlveoU50, Vitis version: 2022.1, C++, 1 fork), 'course-lab\_finn' (Public, Python, 2 stars), and 'course-lab\_riscv' (Public, C, 1 star). The 'Repositories' section has a search bar and filters for 'Type', 'Language', and 'Sort'. It lists three repositories: 'caravel-lab' (Private, Verilog, 0 stars, 0 forks, updated yesterday), 'robotics-computing' (Private, C++, 2 stars, 0 forks, updated 2 days ago), and 'openlane-lab' (Private, 0 stars, 0 forks, updated 2 weeks ago).

Github: <https://github.com/bol-edu>

# 2023 IC 設計展望

1. CHIPS Act
  1. 從全球化到民族主義的轉變
  2. 幫助加速創新和製造能力
  3. 需要教育熟練勞動力以支持美國國內半導體設計和製造能力的增長
2. 開源半導體設計可能成為勞動力發展的重要驅動力
3. 系統驗證變得更加重要—需要在實際工作負載之上加速測試
4. 提高從 C++ 到 GDS 的流程效率。
  1. C++ 設計成為超大規模芯片設計核心
  2. C++ 高階合成設計為軟件開發人員提供高性能的硬件設計 - 使用 C++ 生成處理器代碼及 RTL 設計。

# 晶片系統驗證

# 晶片系統驗證的重要性

- 晶片的系統驗證是產品量產的瓶頸
- 不完整的系統驗證而上市場，造成公司巨大的市場損失
- 學校的 IC 設計課程沒有相關晶片系統驗證的實驗課程

# 晶片系統驗證為何困難？

- 缺乏可觀察性和可控性 – 當初IC 設計者沒有設計偵錯電路
- IC 設計者不知道系統如何工作
- 建立系統驗證平台的困難
- 系統偵錯需要用軟件的方法

# Silicon Validation – IC Testing v.s. System Validation

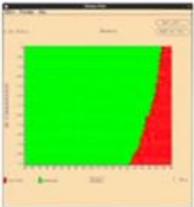
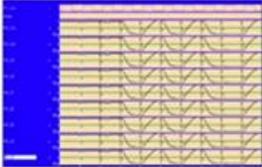
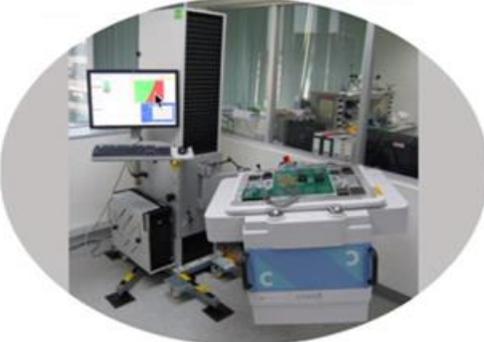
## IC Testing

- Testing with Tester, e.g. V93000
- Open-short / electrical test
- Manufacture test
- Function test

**NAR Labs**

Digital/Mixed-signal IC Test

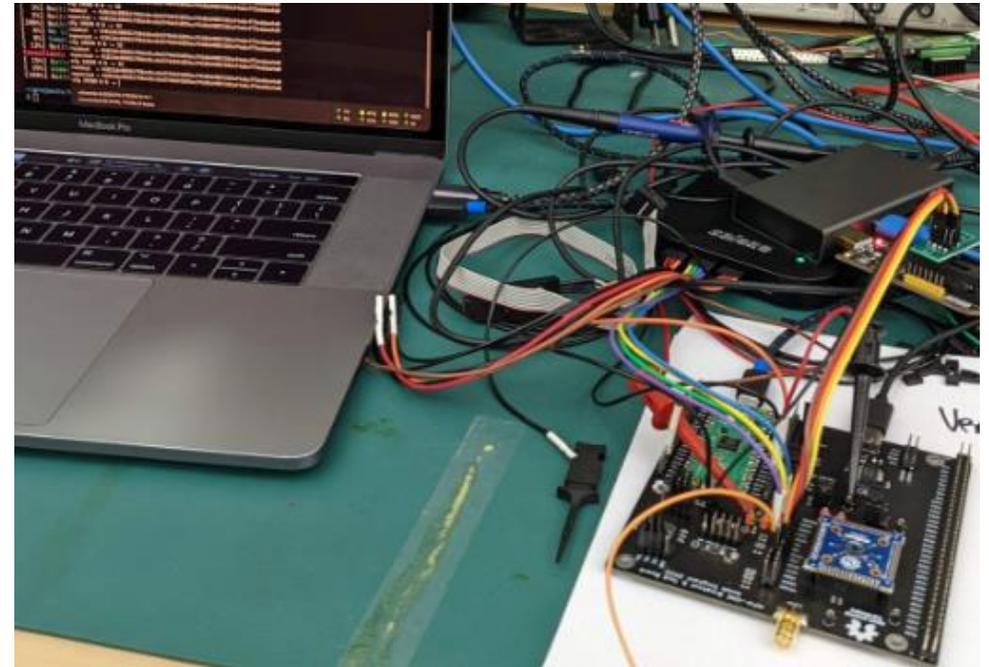
- Advantest V93000
- Service to industry available



10

## System Validation

- System test
- Customized Board design
- Test fixture, control / probe points



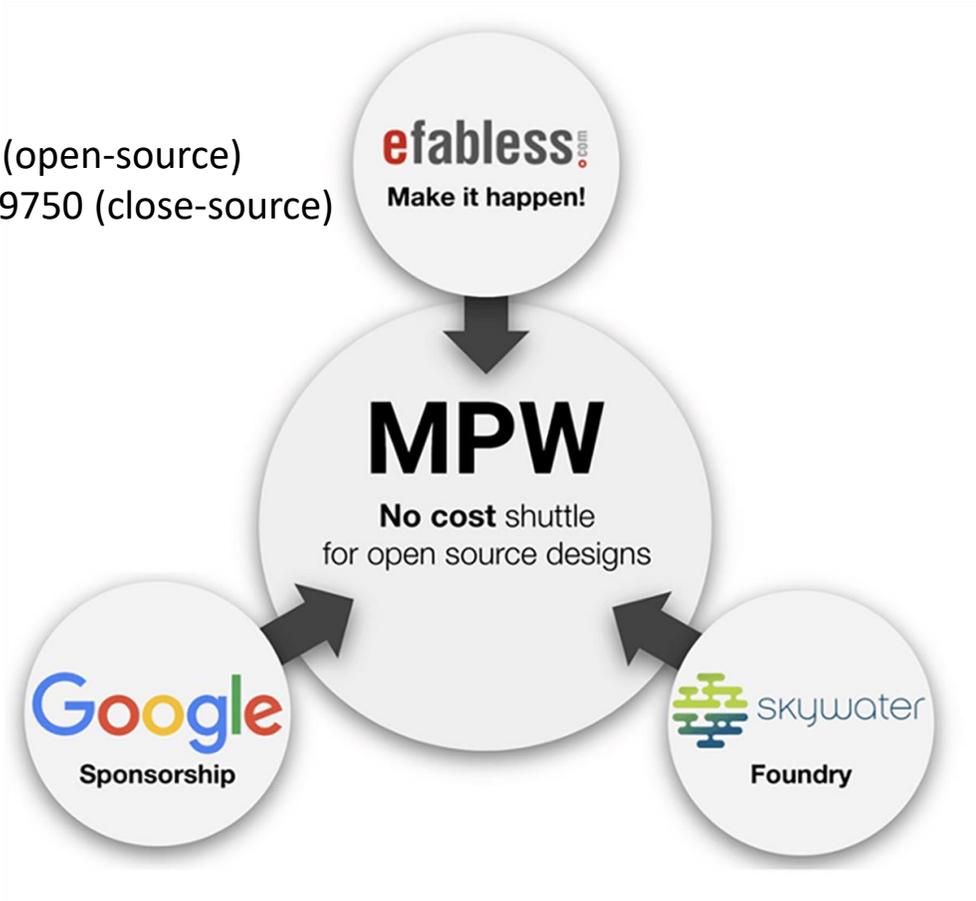
Both are difficult to deploy

# Google Open Source Silicon

# What is Google Open Source Silicon Program

Sky130

- Open MPW (open-source)
- Chiplgnite \$9750 (close-source)



## Google Sponsors a Fully Open-Source Design Capability for Chips

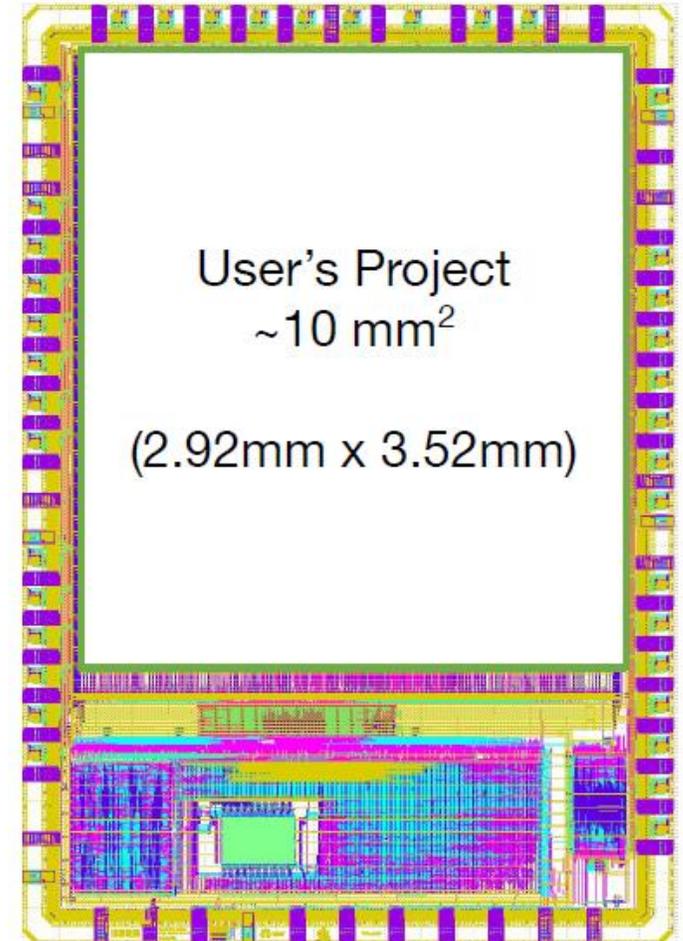
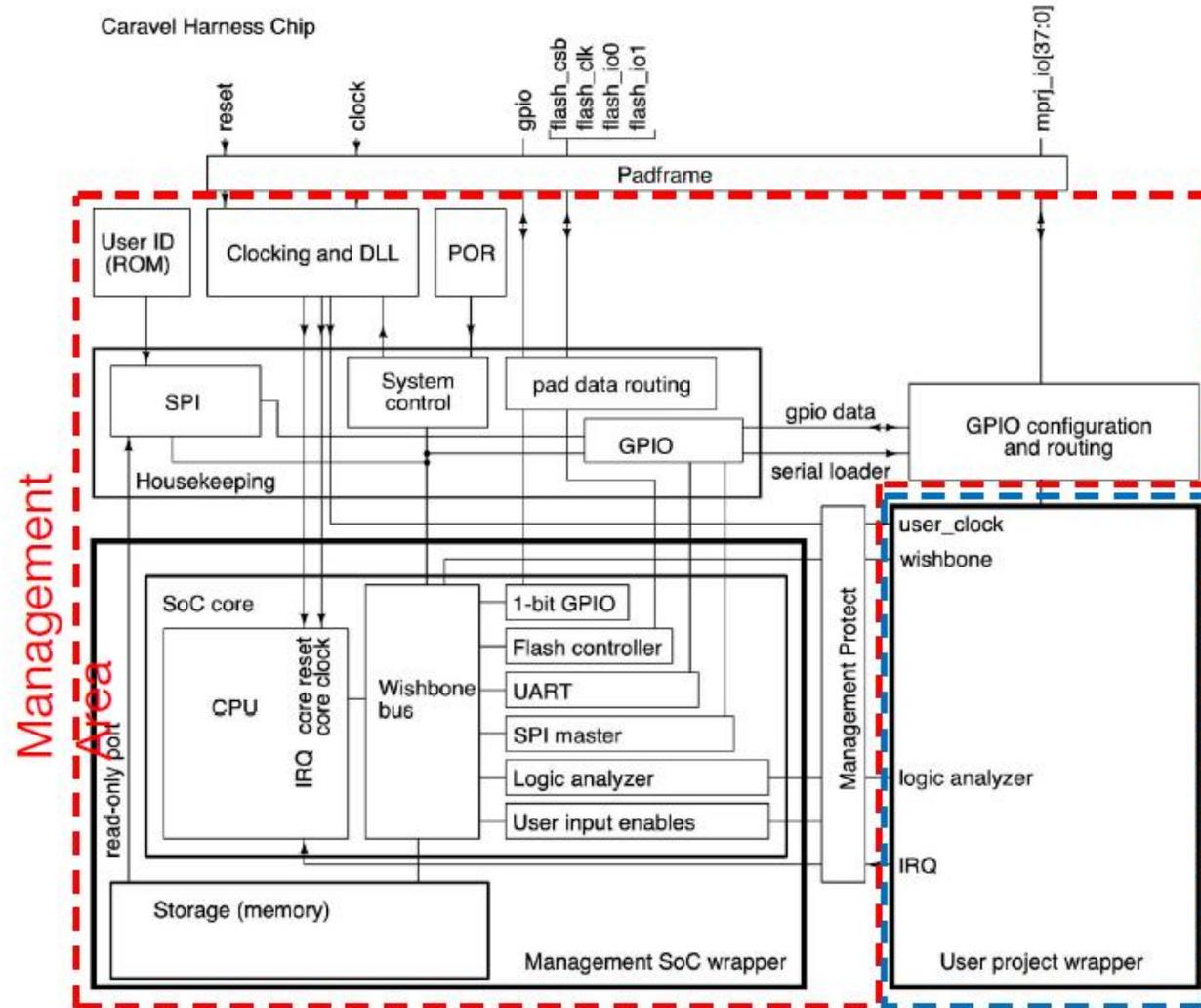
Open-source PDK

Open-source EDA Tools

Free Fabrication

Six shuttles, 40 slots per shuttle, free to designers of fully open-source IC and IP designs. SkyWater open-source 130nm PDK

# Efabless - Caravel Harness



# Caravel Board

- Programmable clock source (for testing)
- Programmable Power Supply (for testing)
- USB bridge for
  - Controlling the programmable clock source
  - Controlling the programmable power supply
  - UART/SPI/I2C interfacing
- QSPI Flash (SoC Program Memory)
- PSRAM (SoC External RAM)
- LEDs and Push buttons

**Very Limited Validation Capability**

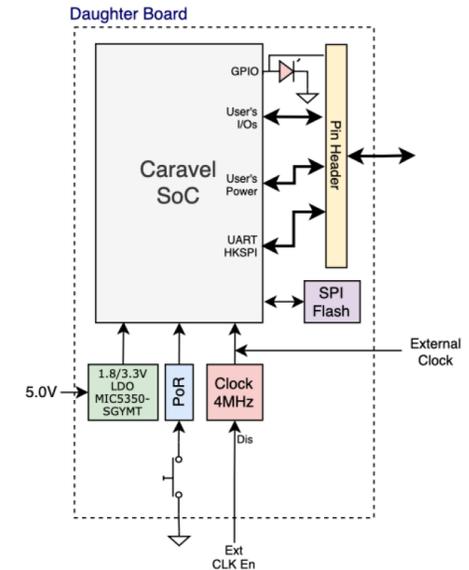


Figure 1. The Daughter Board Blockdiagram

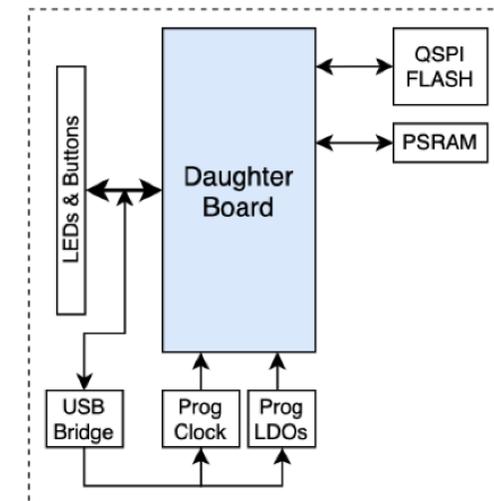
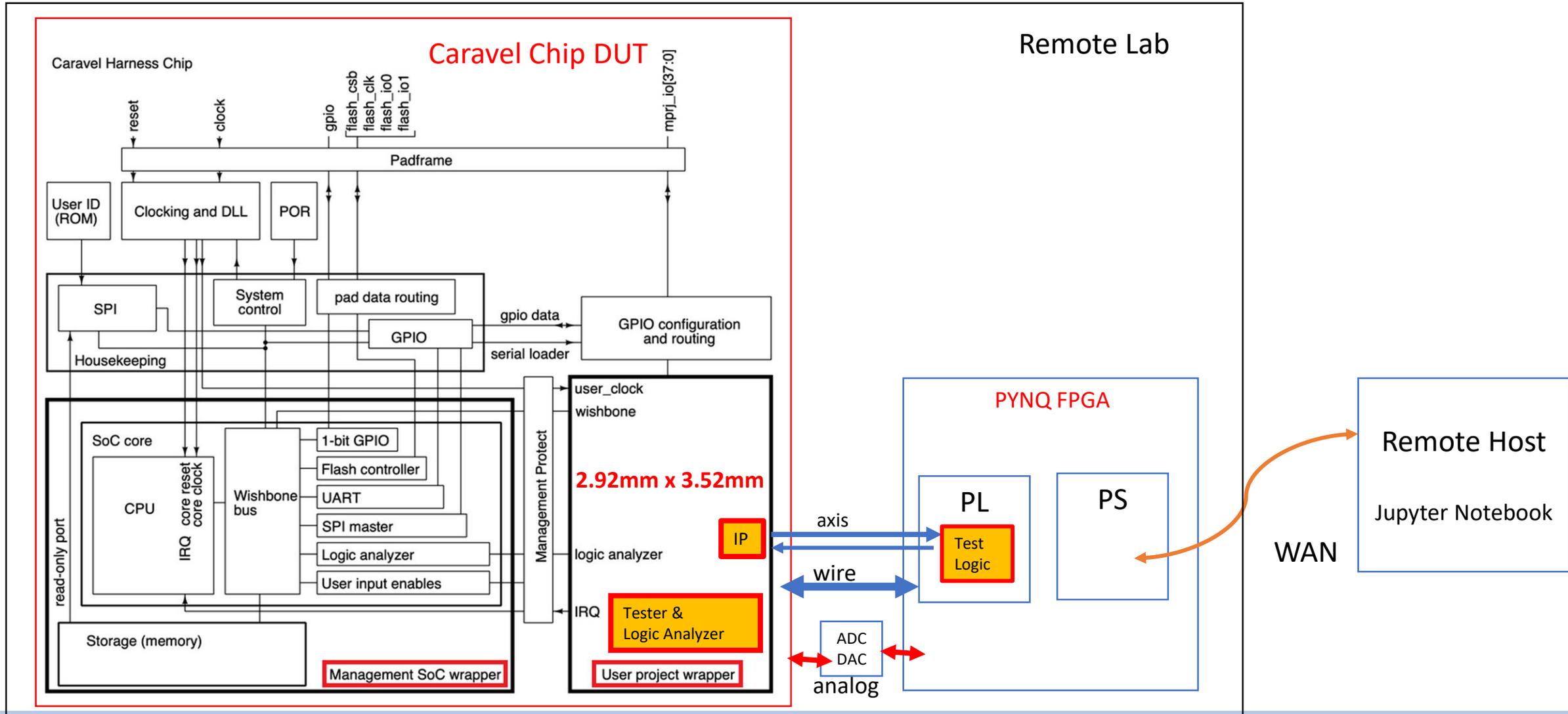
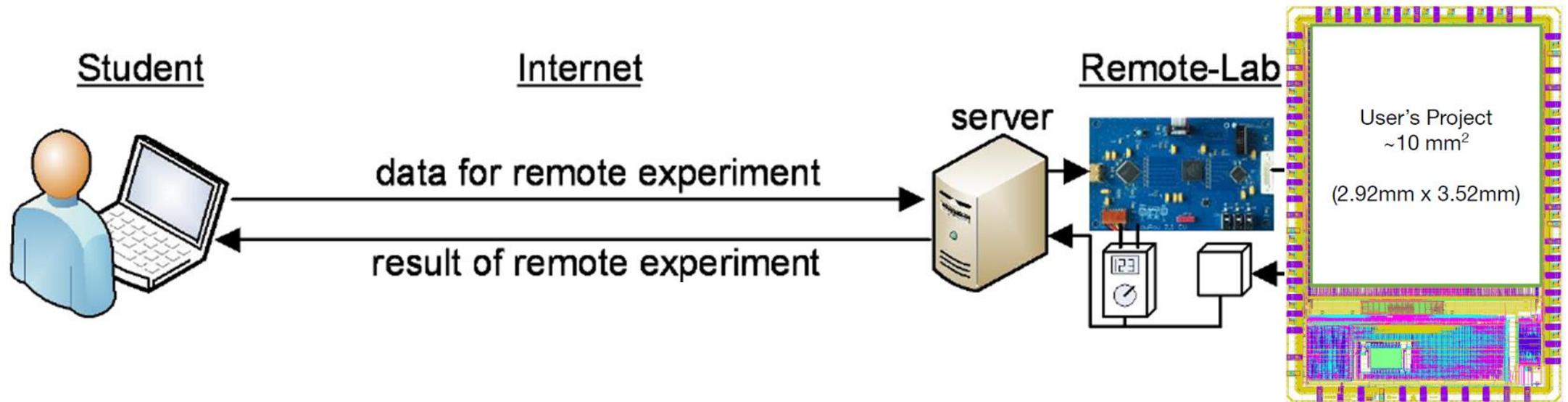


Figure 3. The block diagram of a sample carrier board for a simple SoC

# 開發 IC 驗證平台



# 線上晶片驗證



# 系統功能

1. 標準的IO框架。標準的電路板，使用Socket,置換不同的設計的晶片。
2. 待測晶片 (DUT) 中可以嵌入多個使用者的設計 (user projects)
3. 待測晶片 (DUT) 嵌入RISC-V 的SOC。設計者可以使用這嵌入式微處理器做晶片的初始化，及測試。
4. 驗證平台嵌入PYNQ FPGA。提供以下功能：
  - a. 在 FPGA 中延伸設計功能 - 每個設計可以使用的晶片面積有限, 只能放進最核心的功能, 其餘功能放在FPGA, 也可用FPGA 的記憶體作為暫存記憶體延伸。這樣可以用有限的面積設計大的系統。
  - b. 在 FPGA 上實現 實時互動測試功能 (Tester) 。一般在模擬時, 設計者會開發測試功能 (Testbench) , 此互動測試功能, 可以實現在硬體 FPGA 上。
  - c. 在 FPGA 上實現邏輯分析儀 (Logic Analyzer) 及測試機台 (Tester) 的功能。這可以省去昂貴的儀器建制, 而且可以由遠端操控及觀測。
  - d. FPGA 中的 SOC 上運行 Jupyter notebook 的伺服器, 用來與遠端的測試者互動。
5. 遠端測試軟體開發 – 設計者可以在遠端用 Python 開發測試軟體, 包括 DUT 中嵌入式微處理器的測試軟體, FPGA 中的各項功能, 皆可以由遠端操控, 及觀測。
6. 遠端操控, 可擴展性 – 遠端實驗室內的驗證平台建制有自動管理功能, 使用者隨時租用, 共享驗證機台。

# 實驗室

- 台大慶齡中心 320A 室
- 線上FPGA 管理系統實驗室, 自動工作排程
- 實驗設備
  - 6 x Servers
  - 5 x U50
  - 20 x PYNQ-Z2
  - 10 x KV260
  - VCK 5000

```
[1] list all online device boards  
[2] rent a specified device board  
[3] return your rented device board  
[0] exit OnlineFPGA service
```

```
please enter your option:  
>> 2
```

```
[1] rent a device board by choice  
[2] rent a device board by assignment
```



# 開發內容

- 開發上述 IC 驗證平台
- 設計你自己的 IP 模組
- 下線 IC ( Efabless, TSMC )
- 設計 Package, PCB 設計, 生產
- 開發測試軟體
- 晶片系統驗證

# 作為一名開發者 ( Be a Contributor)

- 取得 FPGA 運算資源
- 你的設計可以有 IC 下線的機會
- 參與 開發者聯誼交流

# 工作項目及分組 (需要 各組協調人 Modulator )

1. Caravel SOC 驗證平台 IP 設計 ( Verilog / HLS-C++ )
2. FPGA 驗證平台 IP 設計 ( Verilog / HLS-C++ )
3. 整合 FPGA 模擬平台開發
4. Caravel SOC (Efabless / TSMC) 設計整合, 驗證, 後端, 下線
5. 驗證韌體 (Firmware) 及測試軟體開發
6. 系統設計 – IC 包裝及 PCB 設計

請填 Google 表單以參與此專題

[https://docs.google.com/forms/d/e/1FAIpQLSf6thyOa1740DL1\\_41o209RAeigbu2k38QHxjTGDSBx0fwURg/viewform?usp=share link](https://docs.google.com/forms/d/e/1FAIpQLSf6thyOa1740DL1_41o209RAeigbu2k38QHxjTGDSBx0fwURg/viewform?usp=share_link)

# 下次會議主題：

- 系統規格定義 (System Architecture Definition)
- 分組 – 確定各分組協調人 (Modulator) ?
- 關鍵里程碑, 工作執行計劃

# 問題 & 討論

- 下次會議時間?
- 每週開會次數?
- 開發進行方式?
- 如何補充背景知識?
- 模擬電路?